



Nombre de alumno:
Teresa Méndez Pérez

Nombre del profesor:
Juan José Ojeda Trujillo

Nombre del trabajo:

Ensayo

Materia:

Diseño lógico

Grado: 6 cuatrimestre

Comitán de Domínguez Chiapas a 28 de julio del 2021

PASIÓN POR EDUCAR

Bloques funcionales
secuenciales

Contadores

Registros de desplazamiento

Registros conectados al anillo

Tipos de memorias no volátiles

Implementación de circuitos

Representación c. de memorias

Implementación de S.S

Representación estructural

Contador de contaje CTU

Biestables o flip-flops

Redes de computadoras

Memorias EEPROM

Matriz OR

Memoria programable

Bus de datos

Conocido como cache

Contador de contaje CTD

Señal reset o flip-flops

Detección rápida

Memorias FLASH

Matriz AND

Matriz lógica PLA

Bus de direcciones

Memorias off-chip

Contador de contaje CTUD

Datos de los flip-flops

Aplicable en redes

Memorias EERAM

Matriz lógica PAL

Operación de escritura

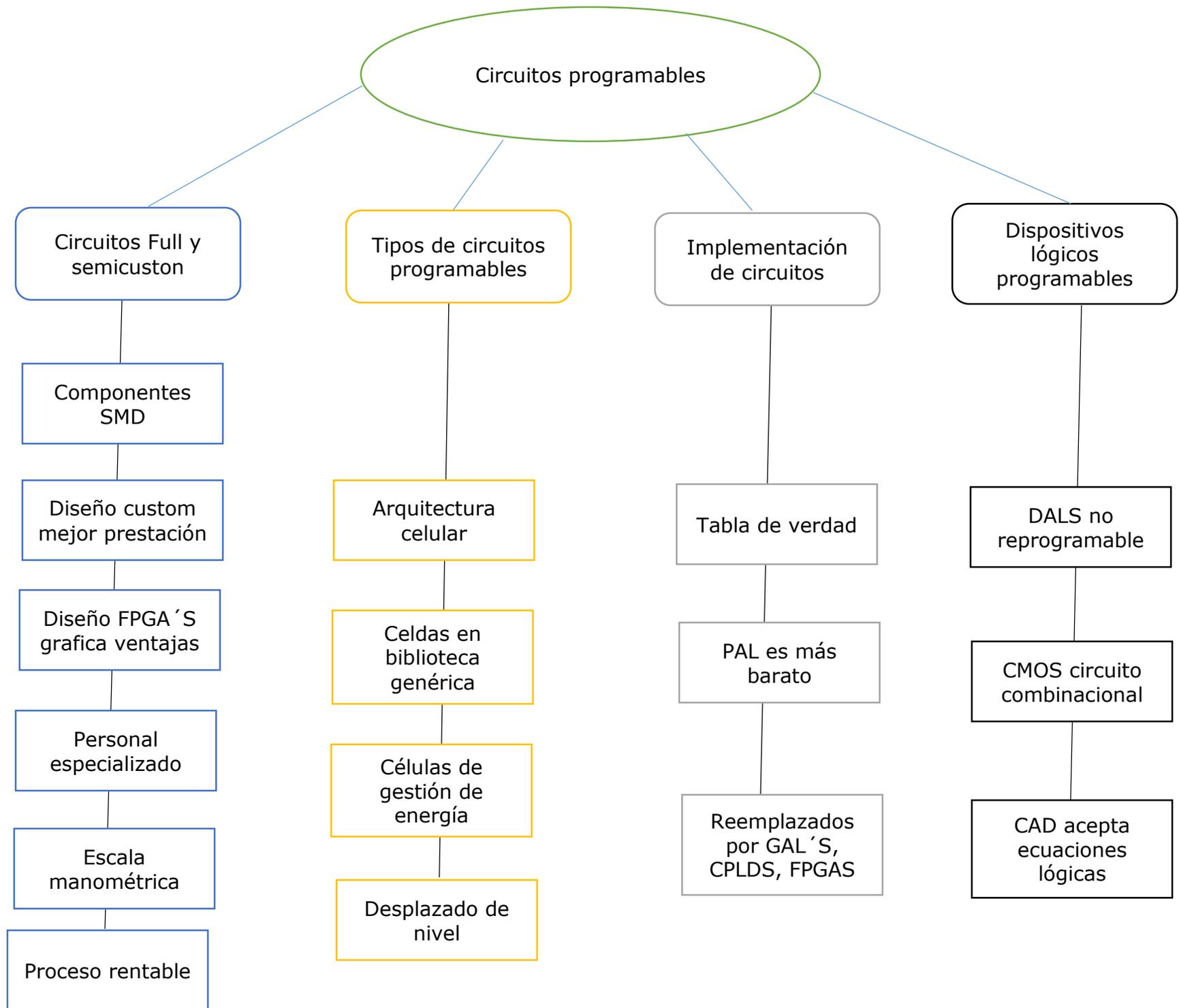
Mapeos

Económico

Cableado sencillo

Protocolo estandarizado

Matriz lógica GAL



Circuitos programables

Circuitos Full y semicustom

Componentes SMD

Diseño custom mejor prestación

Diseño FPGA'S grafica ventajas

Personal especializado

Escala manométrica

Proceso rentable

Tipos de circuitos programables

Arquitectura celular

Celdas en biblioteca genérica

Células de gestión de energía

Desplazado de nivel

Implementación de circuitos

Tabla de verdad

PAL es más barato

Reemplazados por GAL'S, CPLDS, FPGAS

Dispositivos lógicos programables

DALS no reprogramable

CMOS circuito combinacional

CAD acepta ecuaciones lógicas