

Licenciatura: INGENIERIA EN SISTEMAS COMPUTACIONALES  
 Modalidad: EJECUTIVA

Materia: DISEÑO LOGICO  
 Cuatrimestre: 6°.

Clave: PE-ISC605  
 Horas: 2

<b>OBJETIVO:</b>	Especificar sistemas secuenciales síncronos como autómatas de estados finitos. Implementar sistemas secuenciales síncronos utilizando bloques funcionales secuenciales (biestables, registros y contadores) y componentes combinatoriales (puertas lógicas, memorias no volátiles y circuitos programables). Calcular el retardo de propagación y la frecuencia máxima de funcionamiento de una implementación dada de un sistema secuencial síncrono. Especificar circuitos combinatoriales y secuenciales mediante el lenguaje de descripción de hardware VHDL.
------------------	---

S	CLASE 1	CLASE 2
1	<b>ENCUADRE</b>	<b>UNIDAD I INTRODUCCIÓN</b> 1.1.- Circuitos digitales. 1.2.- Circuitos combinatoriales vs. Circuitos secuenciales 1.3.- Sistemas secuenciales síncronos. 1.4.- El lenguaje de descripción de hardware VHDL. 1.4.1.- Origen y utilidad del lenguaje.
2	1.4.2.- Elementos básicos del lenguaje: tipos de datos y operadores 1.4.3.- Concepto y definición de Entity. 1.4.4.- Concepto y definición de Architecture. 1.4.5.- Sentencias concurrentes. 1.4.6.- Sentencias secuenciales: process.	<b>UNIDAD II SISTEMAS SECUENCIALES SÍNCRONOS</b> 2.1.- Autómatas de estados finitos: Melay vs. Moore 2.2.- Especificación del sistema mediante diagramas y tablas de estados 2.3.- Representación comportamental del sistema mediante VHDL 2.4.- Implementación estructurada de sistemas secuenciales síncronos
3	2.4.1.- Codificación de estados: Random, One-hot y Salidas igual a variables de estado 2.4.2.- Cálculo del circuito combinatorial de excitación y salida: tabla de excitación y salida. 2.4.3.- Implementación de sistemas secuenciales síncronos mediante biestables y puertas lógicas.	2.4.4.- Retardo de propagación. 2.4.5.- Frecuencia máxima. 2.4.6.- Inicialización del sistema. 2.4.7.- Representación estructural del sistema mediante VHDL.
4	<b>UNIDAD III BLOQUES FUNCIONALES SECUENCIALES</b> 3.1.- Contadores. 3.2.- Registros de desplazamiento. 3.3.- Registros conectados en anillo. 3.4.- Representación comportamental de bloques funcionales secuencial mediante VHDL.	3.5.- Implementación de sistemas secuenciales síncronos mediante bloques funcionales secuenciales y puertas lógicas. 3.6.- Representación estructural de la implementación del sistema, basada en bloques funcionales secuenciales, mediante VHDL. 3.7.- Memorias no volátiles. 3.8.- Tipos de memorias no volátiles.
5	3.9.- Implementación de circuitos combinatoriales mediante memorias no volátiles 3.10.- Representación comportamental de memorias no volátiles mediante VHDL. 3.11.- Implementación de sistemas secuenciales síncronos mediante bloques funcionales secuenciales y memorias no volátiles. 3.12.- Representación estructural de la implementación del sistema, basado en memorias no volátiles, mediante VHDL.	<b>UNIDAD IV CIRCUITOS PROGRAMABLES</b> 4.1.- Circuitos full custom y semicustom. 4.2.- Tipos de circuitos lógicos programables: Standard Cell, PLA/PAL, CPLD y FPGA
6	4.3.- Implementación de circuitos combinatoriales mediante circuitos lógicos programables de tipo PLA y PAL. 4.4.- Implementación de sistemas secuenciales síncronos mediante circuitos lógicos programables de tipo PLA y PAL.	<b>RETROALIMENTACION DE CONTENIDO</b>
7	<b>EXAMEN FINAL</b>	

<b>ACTIVIDADES EN EL AULA PERMITIDAS:</b>	1.-Conducción Docente, manejo de Esquemas, Conceptos Básicos y Referentes Teóricos (Pizarron)
	2.-Estructuración de Reportes de Lectura y Fichas de Trabajo; uso de Medios Audiovisuales. (Pantalla).
	3.-Realizar Lecturas de Referencias Bibliográficas Sugeridas y Adicionales para generar Lluvia de Ideas.
	4.-Promocionar Actividades de Interés dentro del Proceso de Enseñanza - Aprendizaje para generar Investigaciones.
	5.-Vinculación de la Materia con Casos Prácticos y Reales que se puedan sustentar teóricamente.

<b>ACTIVIDADES NO PERMITIDAS:</b>	1. Exámenes Orales. 2. Exposiciones como Evaluación. 3. Exposiciones
-----------------------------------	--

CRITERIOS, PROCEDIMIENTOS DE EVALUACION Y ACREDITACION.	
Trabajos Escritos	10%
Actividades Aulicas	20%
Trabajos en Plataforma Educativa	20%
Examen	50%
<b>Total</b>	<b>100%</b>
<b>Escala de calificación</b>	<b>7- 10</b>
<b>Mínima aprobatoria</b>	<b>7</b>
<b>Mínima aprobatoria</b>	<b>7</b>